

## ЛАБОРАТОРНА РОБОТА №2

**2.1 Тема:** Дослідження та синтез комбінаційних схем управління

**Мета роботи:** Набуття навичок з синтезу комбінаційних функцій, основних способів їх завдання; опанування методики мінімізації функцій; технічна реалізація комбінаційної схеми на заданій елементній базі.

**Обладнання:** комплект базових логічних елементів; монтажна плата, логічний пробник, блок живлення.

### 2.2 Теоретичні відомості

#### Цифрові електронні і мікроелектронні пристрої

Комбінаційними логічними пристроями (КЛП) називаються такі сигнали, на виходах яких в будь-який момент часу однозначно визначаються додаванням сигналів на вході і не залежать від попередніх станів. Прикладами комбінаційних схем можуть служити логічні елементи, електронні ключі а також більш складніші пристрої, що виконують довільні логічні функції, функції шифраторів, дешифраторів, мультиплексорів, демультіплексорів, арифметичних пристроїв і т.п.

Довільна комбінаційна логічна функція (КЛФ) може бути достатньо просто описана і синтезована за допомогою відомих методів, серед яких частіше за все використовуються карти Карно.

Синтез комбінаційних схем з одним виходом можна розбити на три етапи. На першому етапі, виходячи із таблиць відповідності (істинності), описують роботу синтезованого КЛП, знаходять мінімальну диз'юнктивну (МДНФ) або мінімальну кон'юнктивну (МКНФ) форму функції.

На другому етапі отриману МДНФ або МКНФ функції записують в операторній формі, де під оператором розуміють функцію, що реалізується конкретним логічним елементом. За операторною формою достатньо просто скласти схему КЛП.

Розглянемо основні операторні форми на прикладі  $F = x_1 x_3 + x_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 \bar{x}_3$ . Ці форми відрізняються способом вказування зовнішніх і внутрішніх функцій розкладання. Наприклад, в ДНФ внутрішньою функцією (операцією, що виконується в першу чергу) є функція І, а зовнішньою – АБО, тобто, ДНФ є формою І – АБО.

Різні операторні форми легко отримати із МДНФ і МКНФ шляхом елементарних логічних перетворень. Так, взявши подвійне заперечення від МДНФ функції і використовуючи правило де Моргана, отримаємо для нашого прикладу такі операційні форми:

$$F = x_1 x_3 + x_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 \bar{x}_3 = \text{— форма І / АБО}$$

$$\begin{aligned}
& \overline{\overline{x_1 x_3 + x_2 x_3 + x_1 x_2 x_3}} = \\
& \overline{(x_1 x_3)(x_2 x_3)(x_1 x_2 x_3)} = \text{— форма I – НІ / I – НІ} \\
& \overline{(\bar{x}_1 + \bar{x}_3)(\bar{x}_2 + x_3)(x_1 + x_2 + \bar{x}_3)} = \text{— форма АБО / I – НІ} \\
& \overline{(\bar{x}_1 + \bar{x}_3) + (\bar{x}_1 + x_3) + (x_1 + x_2 + \bar{x}_3)} \text{— форма АБО – НІ/АБО}
\end{aligned}$$

Для отримання інших оперативних форм функцію записують в МКНФ, тобто її інверсне значення:

$$\bar{F} = \bar{x}_2 \bar{x}_3 + \bar{x}_1 x_2 x_3.$$

Виконавши попередні перетворення, отримаємо:

$$\begin{aligned}
F &= \bar{x}_2 \bar{x}_3 + \bar{x}_1 x_2 x_3 = \text{— форма I / АБО — НІ} \\
& \overline{(\bar{x}_2 \bar{x}_3)(x_2 x_3)} = \text{— форма I – НІ / I} \\
&= (x_2 + x_3)(x_1 + x_2 + x_3) = \text{— форма АБО / I} \\
& \overline{(x_2 + x_3)(x_1 + \bar{x}_2 + \bar{x}_3)} = \\
& \overline{(x_1 + x_2)(x_1 + \bar{x}_2 + \bar{x}_3)} \text{— форма АБО – НІ / АБО – НІ}
\end{aligned}$$

На заключному третьому етапі за операторними уявленнями функції складається комбінаційна схема.

Методи синтезу КЛП з декількома виходами основані на використанні однієї функції або її частини для отримання іншої функції. При цьому дуб-

лювання логічних елементів практично відсутнє. Найбільш простіше синтез таких КЛП здійснюється за допомогою діаграми Вейча або карти Карно, які для кожної функції будуються окремо, а потім на них відмічаються однойменні набори, на яких всі або декілька функцій приймають однакові значення.

Розглянемо методику і приклад синтезу довільної комбінаційної логічної схеми з врахуванням реального базису логічних елементів:

а) логічна функція, у відповідності до якої буде працювати розроблювана схема, що задана в словесному чи іншому вигляді, записується в формі, зручній для подальшого синтезу, краще всього у вигляді таблиці відповідностей (істинності).

Для наочної ілюстрації скористуємося конкретним прикладом, що заданий в таблиці 2.1. Ця таблиця відповідності чотиримісної функції, де на кожному із номерів 0...15 задано значення функції (знаком  $\emptyset$  позначені невизначені стани).

Таблиця 2.1 — Відповідність чотиримісної функції

Номер															
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1	1	1	0	0	0	$\emptyset$	$\emptyset$	1	1	0	0	0	1	1	$\emptyset$

б) За табл. 2.1. і карті Вейча для чотирьох змінних (рис. 2.1, а) функція наноситься на карту Вейча (рис. 2.1, б)

в) Виконують покриття всіх одиничних (нульових) значень функції мінімальним числом правильних прямокутників максимальної площі.

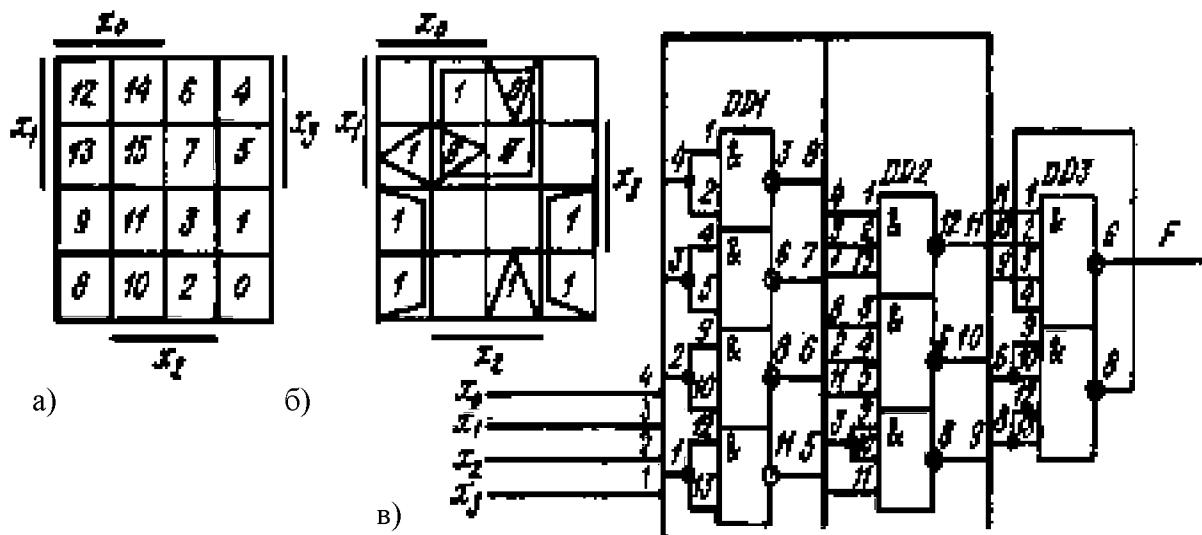


Рисунок 2.1 – Карта Вейча і принципальна схема

г) Записується результат покриттів у вигляді диз'юнкції кон'юнкцій:

$$F = x_1 x_2 + \bar{x}_1 \bar{x}_2 + x_0 x_1 x_3 + \bar{x}_0 \bar{x}_2 \bar{x}_3. \quad (2.1)$$

Отримане рівняння є основою для побудови електричної схеми, що реалізує задану логічну функцію, однак не враховує характеристики реальних логічних елементів, що є в лабораторії. Аналізуючи отриману функцію, необхідно підібрати реальні логічні елементи для її реалізації. Так, в нашому прикладі необхідно один чотиривхідний, два тривхідних, два двовхідних елементи і чотири інвертори на кожному із змінних.

В якості логічних елементів зручно використовувати елементи К155ЛА1, К155ЛА4, К155ЛА3, що реалізують функції І–НІ, тому запишемо функцію  $F(7/1)$  в системі І–НІ:

$$F = (x_1 \wedge x_2) \wedge (\bar{x}_1 \wedge \bar{x}_2) \wedge (x_0 \wedge x_1 \wedge x_3) \wedge (\bar{x}_0 \wedge \bar{x}_2 \wedge \bar{x}_3).$$

Для реалізації цієї функції вибирають:

1) один корпус мікросхеми К155ЛА3 (або один корпус мікросхеми К155ЛН1), елемент DD1 (рис.2.1, в), що дозволяє при об'єднаних входах кожного логічного елемента реалізувати інверсію всіх чотирьох змінних;

2) один корпус мікросхеми К155ЛА4 (елемент DD2), що дозволяє реалізувати дві тривхідні функції І–НІ і на тій мікросхемі, що залишилася вільною, одну двовхідну функцію І–НІ (об'єднавши два її входи);

3) один корпус мікросхеми К155ЛА1 (елемент DD3), що дозволяє реалізувати на одній своїй половині чотиривхідну функцію І–НІ, а на другій – двовхідну функцію І–НІ, об'єднавши попарно їх входи;

д) у відповідності з формулою логічної функції (2.1) і вибраними елементами DD1, DD2 і DD3 будується принципіальна схема (рис. 2.1, в), на якій жирною лінією показана загальна шина, номери вхідних сигналів якої позначають числами зліва, а вихідних – справа. Наприклад, якщо сигнал  $x_1$  позначений індексом 3 (рисунок 2.1, в), то із рисунку видно, що він поступає на входи 2, 9 і 10 елемента DD2. Аналогічно позначають і інші сигнали. Застосування такого позначення суттєво спрощує зображення і читання схем.

Спеціальні КЛП призначені для реалізації конкретних логічних функцій: підсумовування, шифрування, дешифрування, перетворення кодів та інші операції. В той же час вони можуть бути реалізовані і на універсальних логічних елементах.

Розглянемо основні види цих схем і особливості їх реалізації.

**Суматори.** Це пристрої, що здійснюють основну арифметичну операцію — підсумовування чисел в двійковому коді. Найпростіший випадок — підсумовування двох однорозрядних чисел:  $0 + 0 = 0$ ,  $1 + 0 = 1$ ,  $1 + 1 = 10$ . В останньому випадку вихідне число 10 (в десятковому записі це 2) виявилось двійковим дворозрядним. Одиниця, що з'явилася в старшому розряді

суми, називається одиницею переносу. На рис. 2.2, а, б показані схема і таблиця для підсумовування двох однорозрядних чисел. Схема складається із елементів нерівнозначності (що виключають АБО) і елементів І і має два вихідних проводи: суми  $S_i$  і переносу  $P_i$ . Така схема називається півсуматором.

Повний суматор повинен додатково мати вхід для прийому сигналу переносу  $P_{i-1}$  попереднього розряду. Схема повного суматора двох одно-

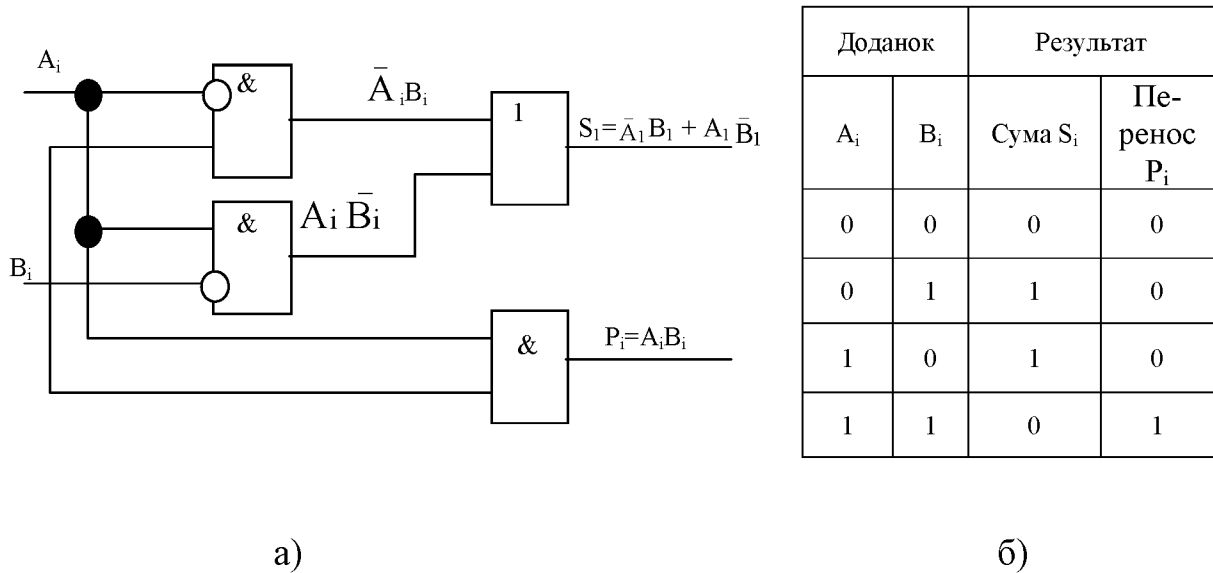


Рисунок 2.2 — Схема півсуматора

розрядних чисел на двох півсуматорах і його таблиця відповідностей показана на рисунку 2.3, а, б.

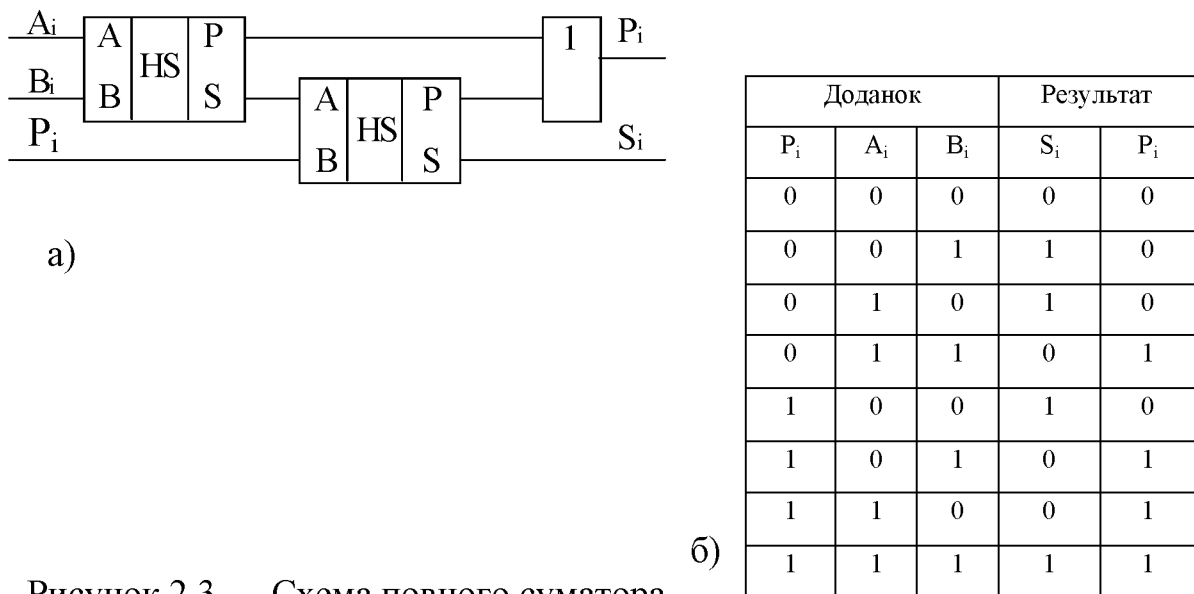


Рисунок 2.3 — Схема повного суматора

Повні суматори багаторозрядних чисел складаються із однорозрядних.

Чотирирозрядний паралельний суматор показаний на рисунку 2.4. Тут порозрядно (по паралелі) підсумовуються два чотирирозрядні слова. Ці пристрої можна зробити довільної довжини, однак підсумовування буде закінчене лише тоді, коли закінчиться час розповсюдження сигналів переносу  $P_i$  через весь ланцюг однорозрядних суматорів.

В інтегральній мікросхемотехніці суматори виготовляються у вигляді окремих мікросхем на декілька розрядів. Найбільш розповсюджені мік-

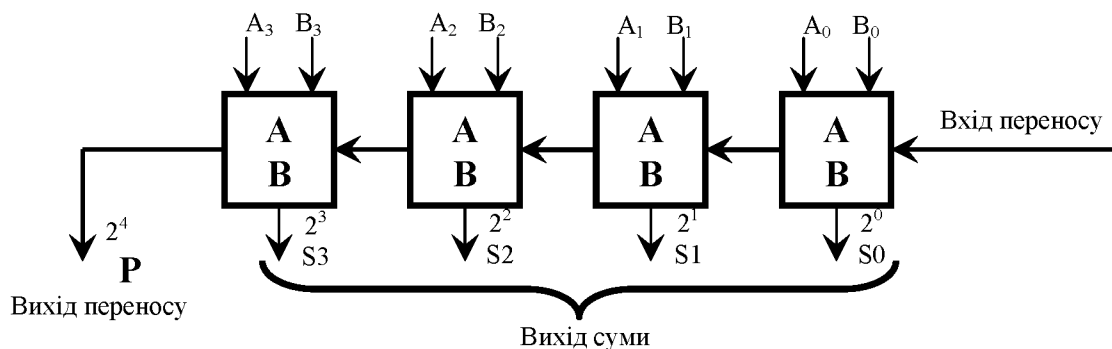


Рисунок 2.4 — Чотирирозрядний паралельний суматор

росхеми К155ИМ1...К155ИМ3, К555ИМ6 і К555ИМ7.

### Дешифратори

Це перетворювачі кодів, що виконують перетворення двійкового і двійково-десятькового кодів в унітарний код. Унітарний код двійкового  $n$ -розрядного числа представляється  $2^n$  розрядами, один із розрядів якого рівний 1.

Дешифратори можуть бути повними і неповними. Повним дешифратором називається комбінаційна схема, що має  $n$  входів і  $2^n$  виходів і що реалізує на кожному виході функцію, яка представляє собою конституенту одиниці (мінтерм). Він описується системою із  $2^n$  логічних рівнянь, права частина кожного із яких записується у вигляді конституенти одиниці. Наприклад, для двовхідного дешифратора:

$$F_0 = \bar{x}_1 \bar{x}_0; F_1 = \bar{x}_1 x_0; F_2 = x_1 \bar{x}_0; F_3 = x_1 x_0.$$

Схема, що реалізує цю функцію, показана на рисунку 2.5, а, а її умовне позначення – на рисунку 2.5, б. На лівому полі показані ваги вхідних сигналів  $x_0$  і  $x_1$ , комбінації значень яких розглядаються в якості двійкових чисел. Кожному вхідному двійковому числу відповідає сигнал, рівний 1 тільки на виході, номер якого, вказаний на правому полі, збігається з двійковим числом.

Неповний дешифратор реалізує  $m < 2^n$  конституент одиниці. Такі дешифратори використовуються, наприклад, для перетворення двійково-десятькового числа в код, призначений для керування десятковим індикато-

ром (дешифратор  $4 \times 10$ ). Приклад такого дешифратора (мікросхеми 155ИД1 та 564ИД1) показані на рисунку 2.5, в. Як і для повного дешифратора, можна записати рівняння, що описує роботу неповного дешифратора, і за ним отримати логічну схему.

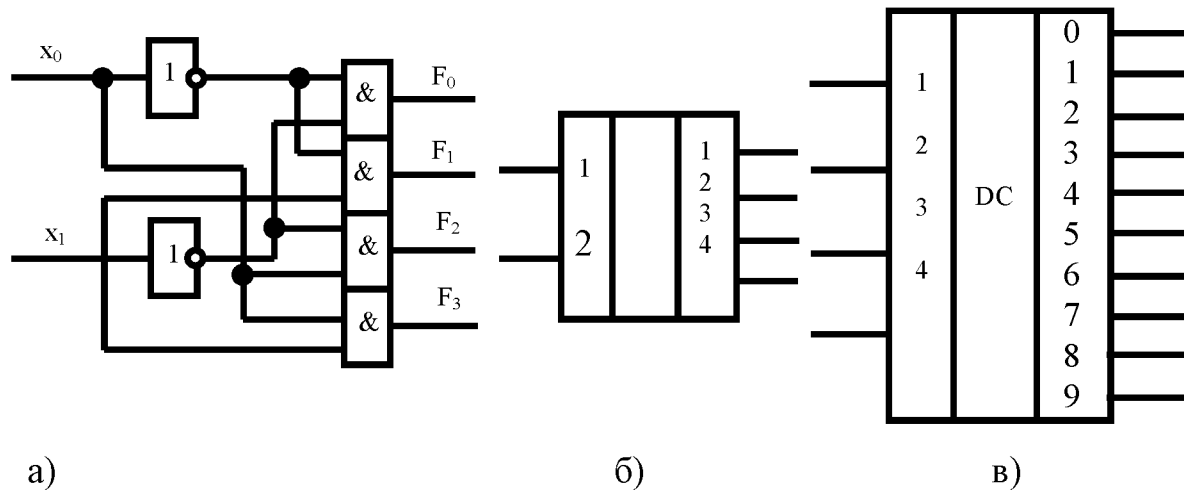


Рисунок 2.5 — Дешифратори

Найбільш розповсюджені мікросхеми дешифраторів К155ИД1, 3, 4, 10; К555, 6, 7, 10; К531ИЛД14.

### Шифратори

Виконують функцію, зворотну дешифраторам, тобто, перетворюють унітарний код в двійковий, двійково-десятковий або будь-який інший. Робота шифратора, як будь-якої двійкової системи, може бути задана у вигляді таблиці відповідностей, за якою досить просто побудувати схему.

Із мікросхем шифраторів відомі, наприклад, К555ИВ3, КМ555ИА1.

### Перетворювачі кодів

Вони використовують спільну роботу дешифратора і шифратора. Дешифратор перетворює двійковий або двійково-десятковий код в унітарний, а шифратор – отриманий унітарний код в потрібний. Типовим прикладом використання такого перетворювача є схема перетворення коду в код керування семисегментним індикатором.

### Мультиплексор

Це схема, що має  $n + 2^n$  входів і один вихід, де  $n$  – число адресних, а  $2^n$  – число інформаційних входів.

Призначення мультиплексорів (від англ. multiplex – багатократний) – комутувати в бажаному порядку інформацію, що надходить з декількох вхідних шин на одну вихідну. За допомогою мультиплексора здійснюється тимчасове розділення інформації, що надходить по різних каналах. Його можна уподібнити безконтактному багатопозиційному перемикачу.

Мультиплексори мають дві групи входів або один, частіше два, що взаємодоповнюються (інверсні) виходи. Одні входи інформаційні, а інші служать для керування. До них відносяться адресні і розв'язувальні. Адреса

представляється в двійковому коді, причому кожній адресі відповідає інформаційний вхід, сигнал з якого (0 або 1) при даній адресі приходить на вихід. Таким чином, в мультиплексорі здійснюється  $2^n$  вхідних сигналів на один вихід.

Розв'язувальний вхід керує одночасно всіма інформаційними входами незалежно від стану адресних входів. Заперечувальний сигнал на цьому вході блокує дію всього пристрою. Наявність розв'язувального входу розширює функціональні можливості мультиплексора, дозволяє синхронізувати його роботу з роботою інших вузлів. Цей вхід використовується також для нарощування розрядності мультиплексорів.

У мультиплексорі, що виготовляється у вигляді окремих мікросхем, число інформаційних входів не перевищує 16. Більша кількість входів забезпечується шляхом нарощування. Нарощування можна виконувати об'єднанням декількох мультиплексорів в пірамідоподібну (деревовидну) систему або послідовним з'єднанням розв'язувальних входів і зовнішніх логічних елементів. Другий спосіб застосовується частіше за все, оскільки при пірамідоподібному нарощуванні більші витрати мікросхем і порівняно низька швидкодія через підсумовування затримок при послідовному проходженні сигналів за ступеням піраміди.

Принципальна схема чотириканального мультиплексора на елементах І-АБО-НІ, що має два адресних входи  $x_1$  і  $x_2$ , показана на рис.2.6 а, і умовне позначення подвійного чотириканального мультиплексора із стро-

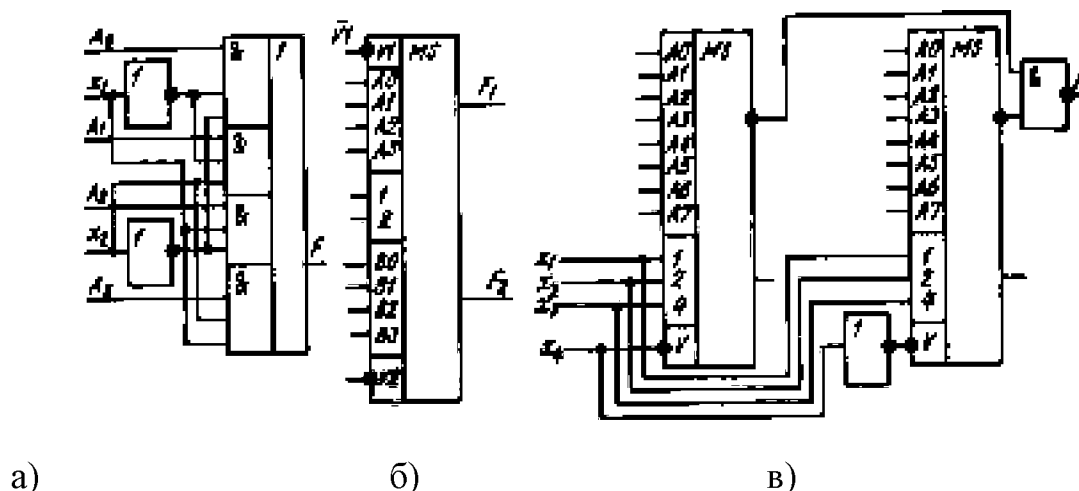


Рисунок 2.6 — Принципальна схема чотириканального мультиплексо-  
ра

бованим входом (мікросхема 155КП6) і 16-канального, що виконаний на 8-канальних мультиплексорах (мікросхеми 155П7), з'єднані за другим способом, – на рис.2.6, б, в. В 16-канальному комутаторі стробувальний вхід V використовується в якості додаткового адресного входу  $x_4$ . Існує і окрема 16-канальна мікросхема 155КП1 мультиплексора із стробуванням (селек-



тора-мультиплектора). З двох таких мікросхем за вказаним принципом можна виконати 32-канальний мультиплексор.

Для отримання 64-канального мультиплектора слід використовувати чотири БИС155КП1 і 4-вхідний елемент І-НІ, а керування входами  $\bar{V}$  необхідно виконувати інверсним чотирирозрядним унітарним кодом.

### 2.3 Хід роботи

2.3.1 Від аналітичного завдання комбінаційної ф-ї ( $n=3$ ) перейти до словесного та табличного, здійснити оптимізацію ф-ї двома методами:

- а) за допомогою діаграми Вейча-Карно;
- б) алгебраїчним методом на підставі законів алгебри Буля.

Розробити комбінаційні схеми для вихідного та мінімізованого варіантів ф-ї на І, АБО, НІ.

2.3.2 Від матричного задання комбінаційної ф-ї ( $n=4$ ) перейти до її аналітичного запису, виконати мінімізацію ф-ї, розробити комбінаційну схему в двох варіантах:

- а) на елементах І-НІ, АБО-НІ;
- б) на елементах І, АБО, НІ.

Вибрати оптимальний варіант за кількістю елементів потрібних для реалізації схем.

Реалізувати комбінаційну схему, що розроблена на попередній лабораторній роботі, користуючись універсальною монтажною платою; підключити схему до блока живлення, дослідити її функціонування, скласти таблицю відповідностей.

### 2.4 Зміст звіту

2.4.1 Наприклад, задано комбінаційну ф-ю трьох аргументів

$$F = \bar{X}_1 \cdot X_2 \cdot X_3 + X_1 \cdot X_2 \cdot X_3 + X_1 \cdot X_2 \cdot \bar{X}_3 + \bar{X}_1 \cdot \bar{X}_2 \cdot X_3$$

		$\underline{X_1}$			
$X_2$		1	1	1	
				1	
					$\bar{X}_3$

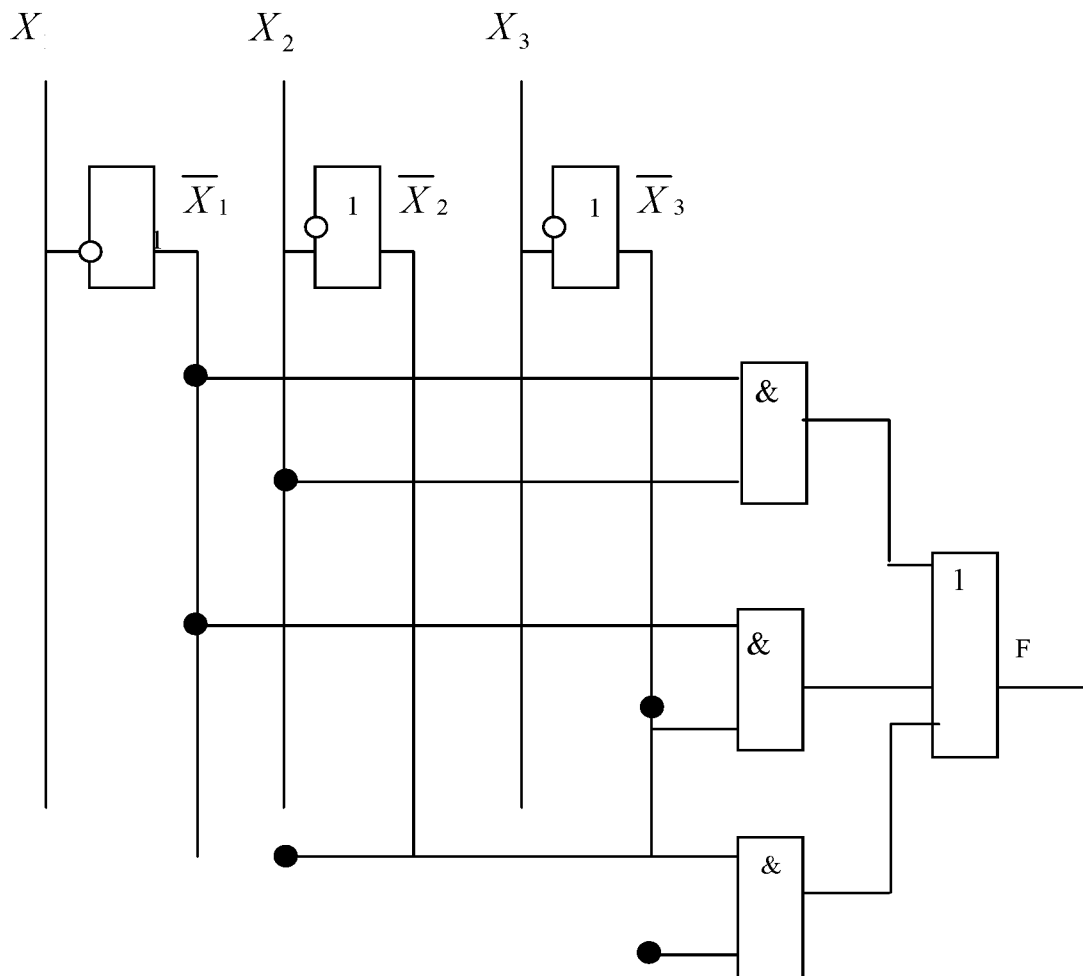
$n=3$  Мінімізація за допомогою діаграми Вейча-Карно

$$F = X_1 \cdot X_2 + X_1 \cdot \bar{X}_3;$$

$$\left. \begin{array}{l} X_1 \cdot X_2 \cdot \bar{X}_3 \\ X_1 \cdot X_2 \cdot X_3 \end{array} \right\} X_1 \cdot X_2;$$

$$\left. \begin{array}{l} \bar{X}_1 \cdot X_2 \cdot X_3 \\ \bar{X}_1 \cdot \bar{X}_2 \cdot X_3 \end{array} \right\} \bar{X}_1 \cdot X_2.$$

**Розробляємо комбінаційну схему для мінімізованої ф-ї**

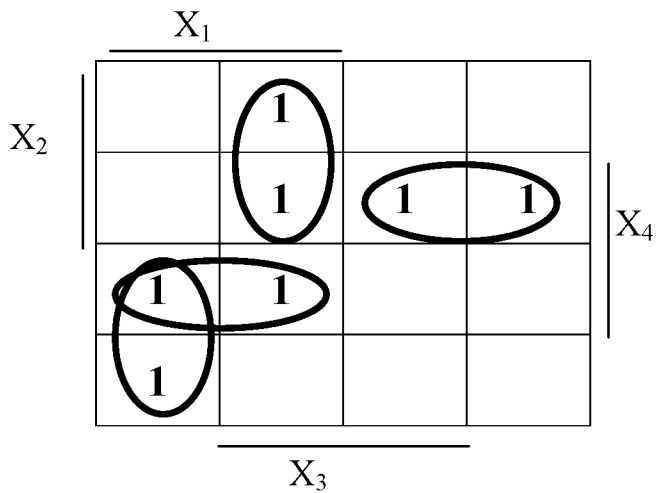


#### 2.4.2 Комбінаційна функція чотирьох аргументів

F=

$$X_1 \cdot X_2 \cdot X_3 \cdot X_4 + \bar{X}_1 \cdot X_2 \cdot \bar{X}_3 \cdot X_4 + X_1 \cdot X_2 \cdot X_3 \cdot \bar{X}_4 + \bar{X}_1 \cdot X_2 \cdot X_3 \cdot X_4 + X_1 \cdot \bar{X}_2 \cdot X_3 \cdot X_4 + X_1 \cdot \bar{X}_2 \cdot \bar{X}_3 \cdot X_4 + X_1 \cdot \bar{X}_2 \cdot \bar{X}_3 \cdot \bar{X}_4$$

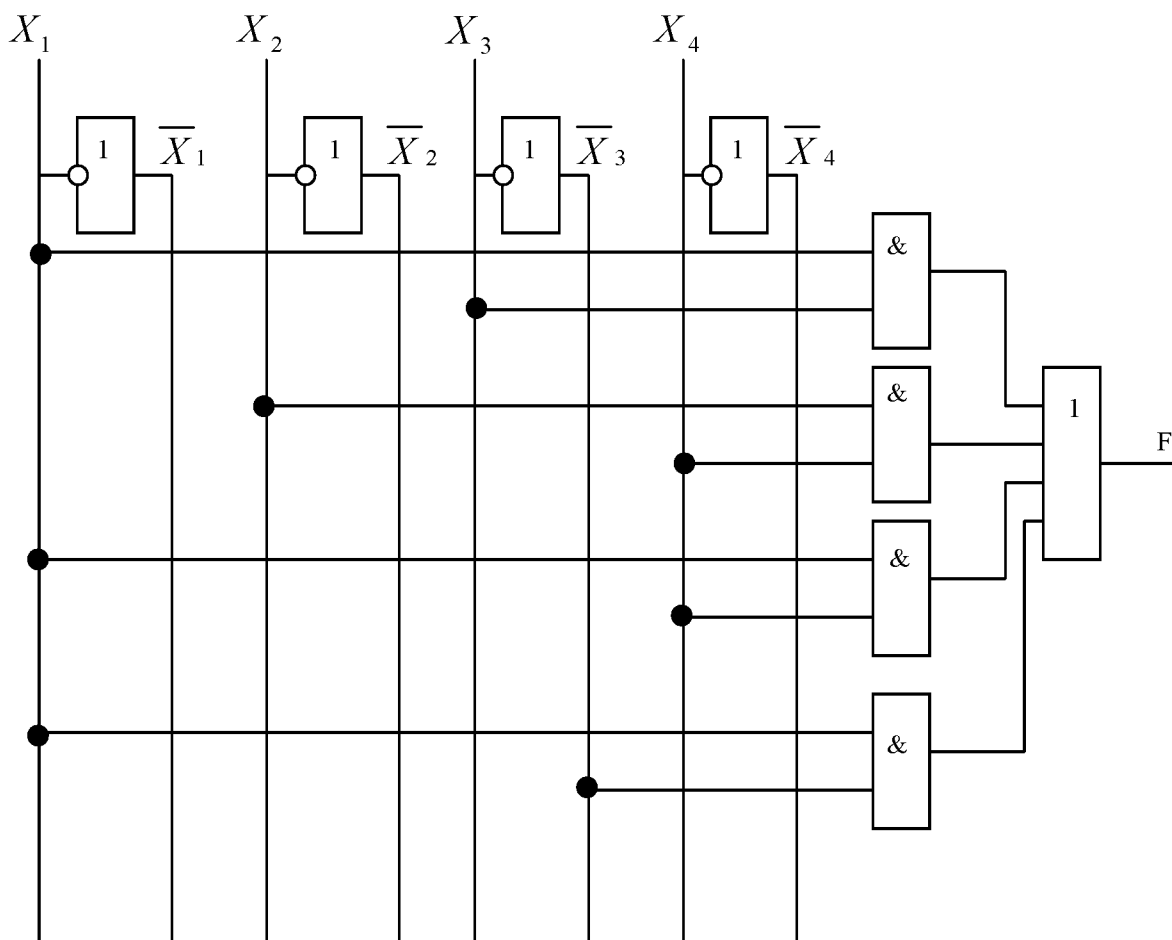
n=4 мінімізувати за допомогою діаграми Дейча, карти Карно



n=4 Мінімізація за допомогою діаграми Дейча, карти Карно

$$F = X_1 \cdot X_3 + X_2 \cdot X_4 + X_1 \cdot X_4 + X_1 \cdot X_4 + X_1 \cdot \bar{X}_3.$$

**Розробляємо комбінаційну схему для мінімізованої функції**



### 2.5 Задача

Завдання на розробку комбінаційної схеми

Аварійне гальмування робокара повинно вмикатись автоматично, якщо спрацьовує хоча б один з двох датчиків: далекої або ближньої локації при ввімкненому датчику руху робокара. Крім того, аварійне гальмування повинно вмикатись, якщо спрацьовує датчик зниження тиску в гідросистемі при зупиненому робокарі та відсутності сигналів локації.

## 2.6 Варіанти завдань до задачі

Варіант	Датчик дальньої локації	Датчик ближньої локації	Датчик руху робокара	Датчик пониження тиску
1	X1	X2	X3	X4
2	X1	X2	X4	X3
3	X1	X3	X2	X4
4	X1	X3	X4	X2
5	X1	X4	X2	X3
6	X1	X4	X3	X2
7	X2	X1	X3	X4
8	X2	X1	X4	X3
9	X2	X3	X1	X4
10	X2	X3	X4	X1
11	X2	X4	X1	X3
12	X2	X4	X3	X1
13	X3	X1	X2	X4
14	X3	X1	X4	X2
15	X3	X2	X1	X4
16	X3	X2	X4	X1
17	X3	X4	X1	X2
18	X3	X4	X2	X1
19	X4	X1	X2	X3
20	X4	X1	X3	X2
21	X4	X2	X1	X3
22	X4	X2	X3	X1
23	X4	X3	X1	X2
24	X4	X3	X2	X1